

“IMPLEMENTACIÓN DE UN RECEPTOR DE RADIO DIGITAL DE BAJO COSTO PARA REALIZAR MEDICIONES CLIMATOLÓGICAS EN LA REGIÓN MLT.”

V.Vasquez¹, M. Milla², K. Kuyeng³, D. Scipion³, B. Estalla³, J. Rojas³, D. Cáceres¹.

¹ Universidad Nacional Mayor de San Marcos, Lima-Perú

² Pontificia Universidad Católica del Perú, Sección de Electricidad y Electrónica, Lima – Perú

³ Instituto Geofísico del Perú, Radio Observatorio de Jicamarca, Lima, Perú.



Descripción del Proyecto

Implementar un nuevo sistema de recepción, usando un hardware de bajo costo y teniendo en cuenta los parámetros y modo de operación del sistema de recepción actual del radar de meteoros SIMONe.



Contenido

1. Motivación.

2. Tecnología SDR.

- Concepto y Avances.

3. Receptor Digital.

- Selección de dispositivo SDR.
- Desarrollo del Sistema de Procesamiento Digital de Señales.
- Configuración del ADC diferencial.
- Sincronización – Pruebas realizadas.
- Integración del Sistema Lógico con el Sistema de Procesamiento.

4. Conclusiones



1. Motivación

- El desarrollo de un receptor digital para el radar de meteoros SIMONE busca principalmente obtener una reducción de costos e independencia tecnológica, lo que se traduce en una operación más eficiente, autónoma y económica de este sistema de radar en el Perú. Además, estos receptores permitirán ampliar la zona de estudio de dichos radares.



USRP N210

Receiver system - Estación de Rx del radar Simone:

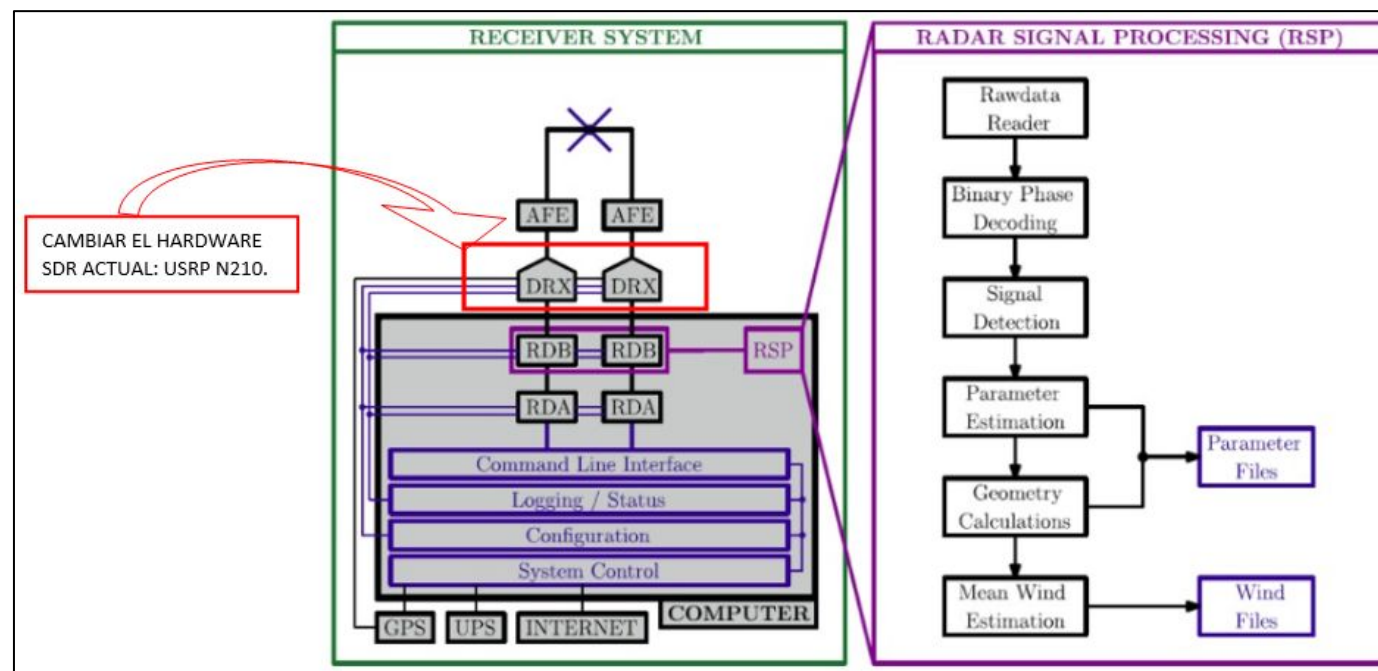


Figura 1. "Multistatic Specular Meteor Radar Network in Peru: System Description and Initial Results. J. L. Chau (2021)".



2. Tecnología SDR y System on Chip (SoC).

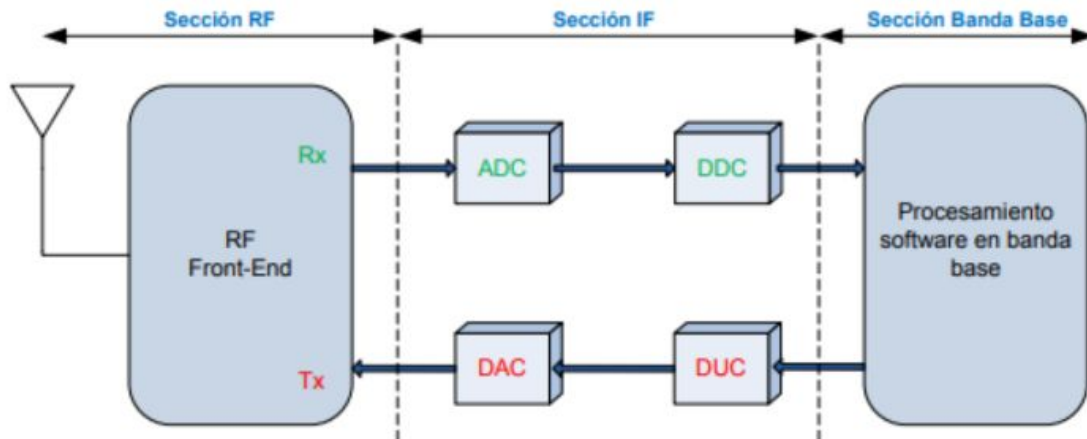


Figura 2. “Sistema de RF y SDR.

USRP N210



Lime SDR



Adalm Pluto



Software de Procesamiento de datos
OpenSource.

Zynq 7000 SoC



- Zynq 7007s: Artix®-7 FPGA +
- Zynq 7010 : Artix-7 FPGA +
- Zynq 7020 : Artix-7 FPGA +
- Zynq 7100 : Kintex-7 FPGA +
- ...

Figura 3. “Dispositivo Zynq 7000”

Avances en la Tecnología SoC:

- Familia UltraScale: Kintex, Artix.
- Familia Zynq UltraScale: +MPSoC, +RFSoc.



Figura 4. “Dispositivo Zynq UltraScale +MPSoC”



3. Receptor Digital

Selección del dispositivo

- Búsqueda de la plataforma de desarrollo. (Placa de desarrollo)



Características / Dispositivo SDR	USRP N210	Red Pitaya SDRLab 122-16 (External Clock)	Red Pitaya SignalLab 250-12	Hermes
Canales AC Input	2	2	2	1
ADC Resolución	14 bits	16 bits	12 bits	14
Canales AC Output	2	2	2	1
DAC Resolución	16 bits	14 bits	14 bits	14
Sample Rate	100 MS/s	122.8 MS/s	250 MS/s	122.8 MS/s
Ancho de banda	25 MHz (16 bits por muestra) 50 MHz (8 bits por muestra)	300 KHz - 60 MHz	0 - 60 MHz	55 MHz
Canales Digitales	-	16	16	-
Software Compatible	GNURadio, MatLab, Labview, Python	LabView, MatLab, Python, Scilab y Vivado	LabView, MatLab, Python, Scilab y Vivado	Quartus

USRP N210

\$3,800.00 USD

SDRlab 122-16 External Clock

★★★★☆ (1 customer review)

840,95€

SIGNALlab 250-12 Standard Kit

2,367,97€

Hermes Lite 2

★★★★★ 1 Review | Add Your Review

\$269.00



3. Receptor Digital

Esquema general del desarrollo

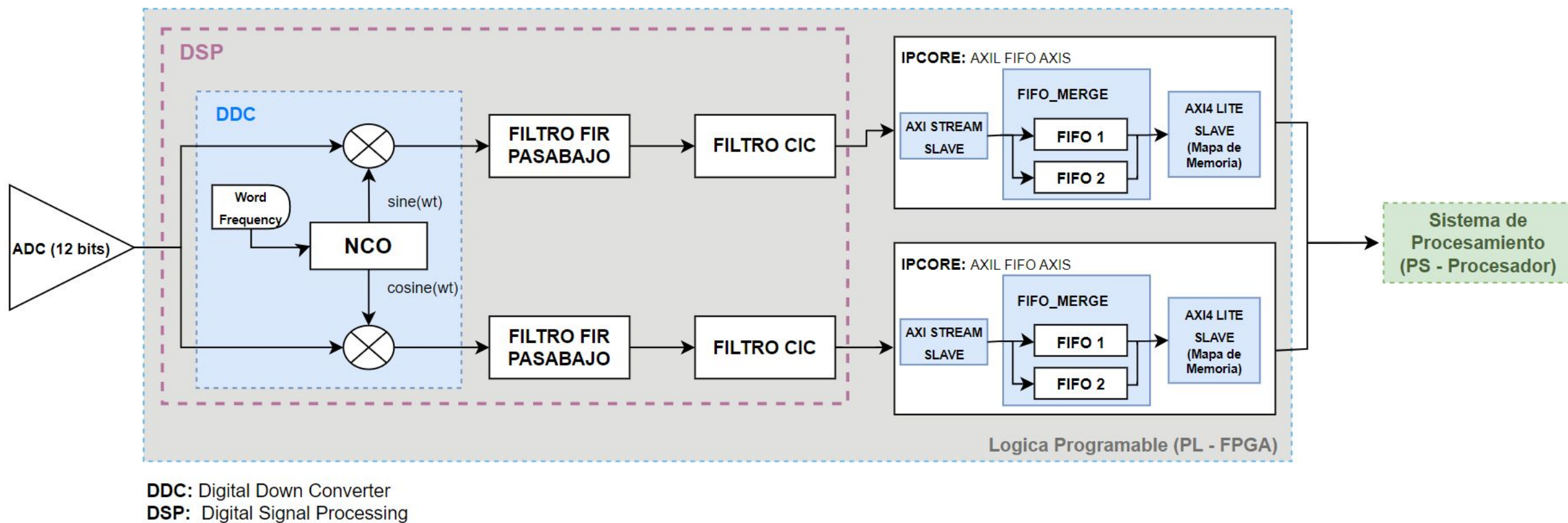


Figura 5. "Esquema general del desarrollo".



3. Receptor Digital

Digital Down Converter (DDC) $\Rightarrow$ Oscilador Numéricamente Controlado (NCO)

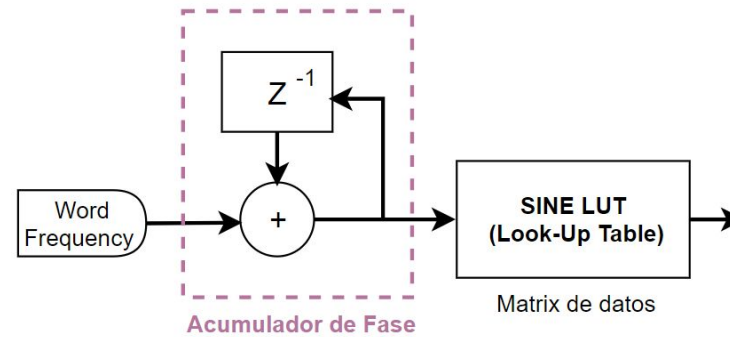


Figura 6. "Arquitectura del NCO".

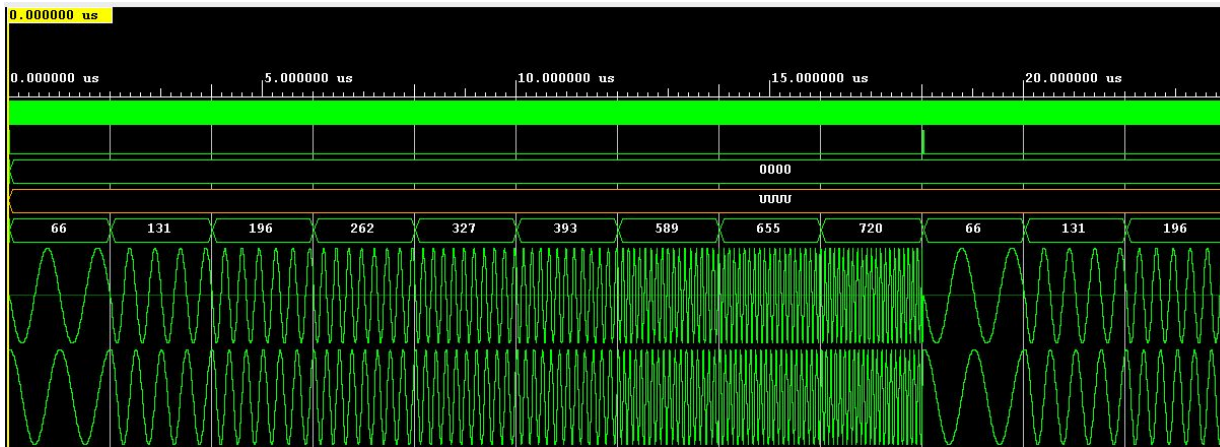


Figura 7. "Resultado en simulación del Generador de Señales".

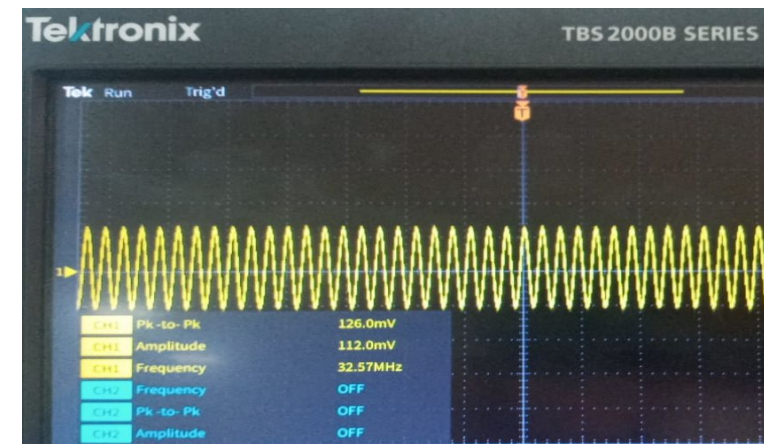


Figura 8. "Señal seno 1 MHz en el Osciloscopio".



3. Receptor Digital

Digital Down Converter (DDC) $\Rightarrow$ Demodulador

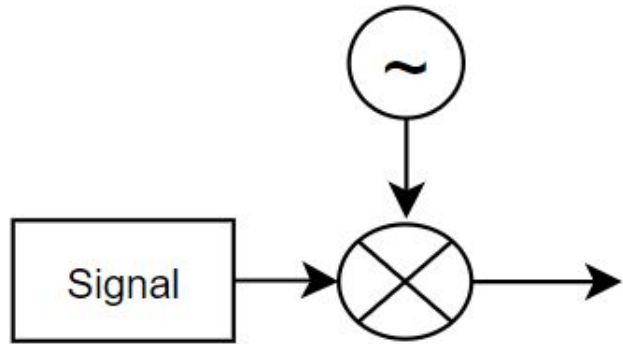


Figura 9. "Proceso de demodulación".

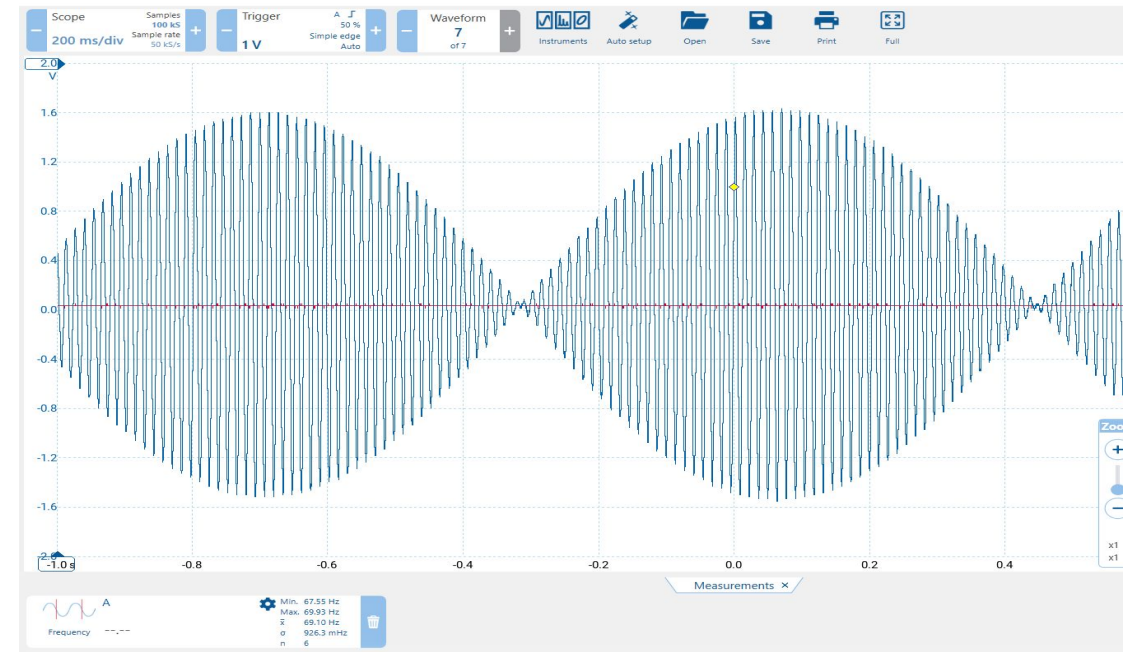


Figura 10. "Señal seno 1 MHz en el Osciloscopio."



3. Receptor Digital

Filtro FIR

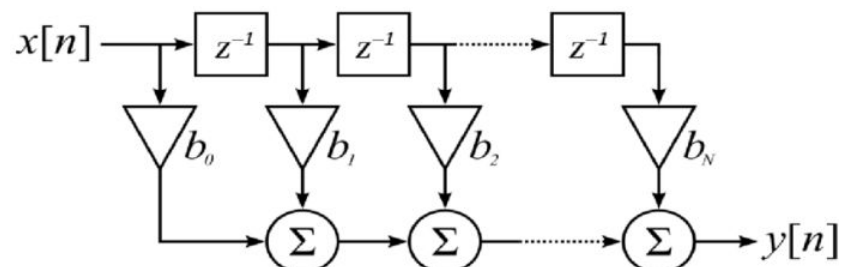


Figura 11. “Arquitectura del Filtro FIR”.

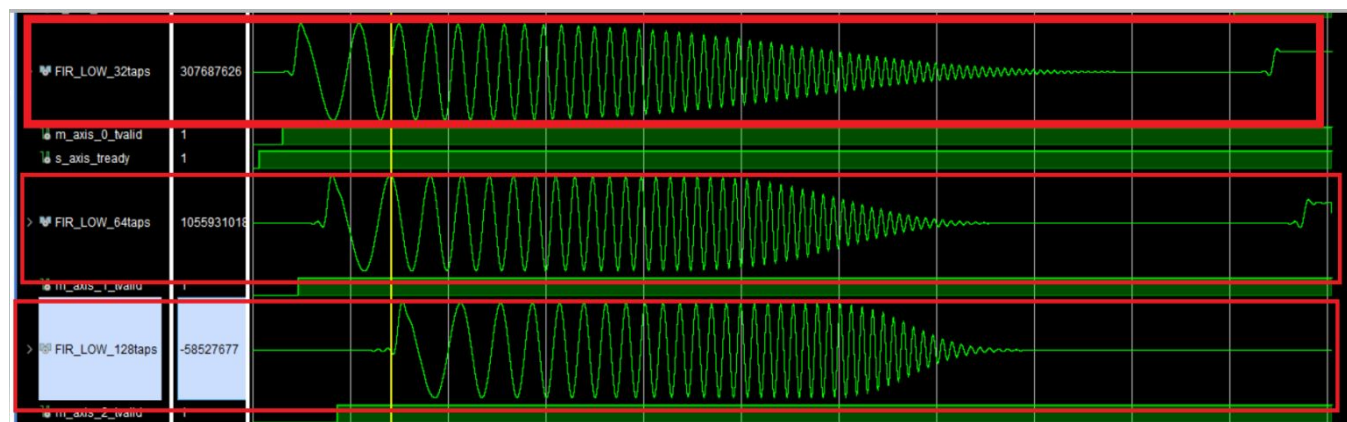
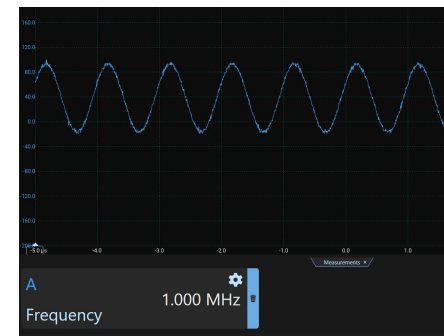
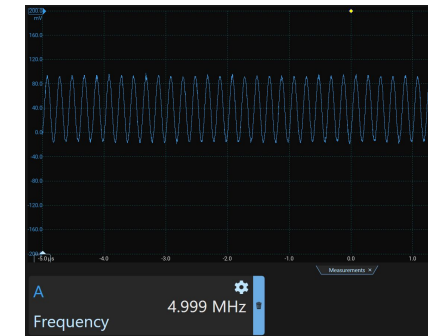


Figura 12. “Resultado en simulación del Filtro FIR para 32, 64 y 128 coeficientes, respectivamente”.

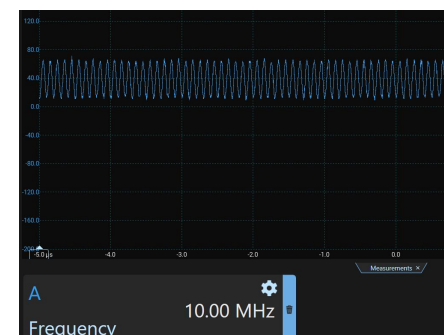
Frecuencia de corte de 10 MHz del Filtro FIR con 64 coef..



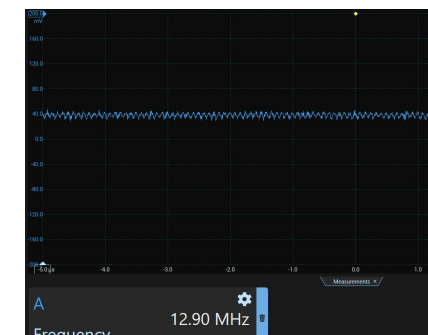
Señal de 1 MHz



Señal de 5 MHz



Señal de 10 MHz



Señal de 13 MHz

Figura 13. “Pruebas de laboratorio del comportamiento del Filtro FIR. Visualización de osciloscopio.”



3. Receptor Digital

Filtro Cascaded Integrator-Comb (CIC)

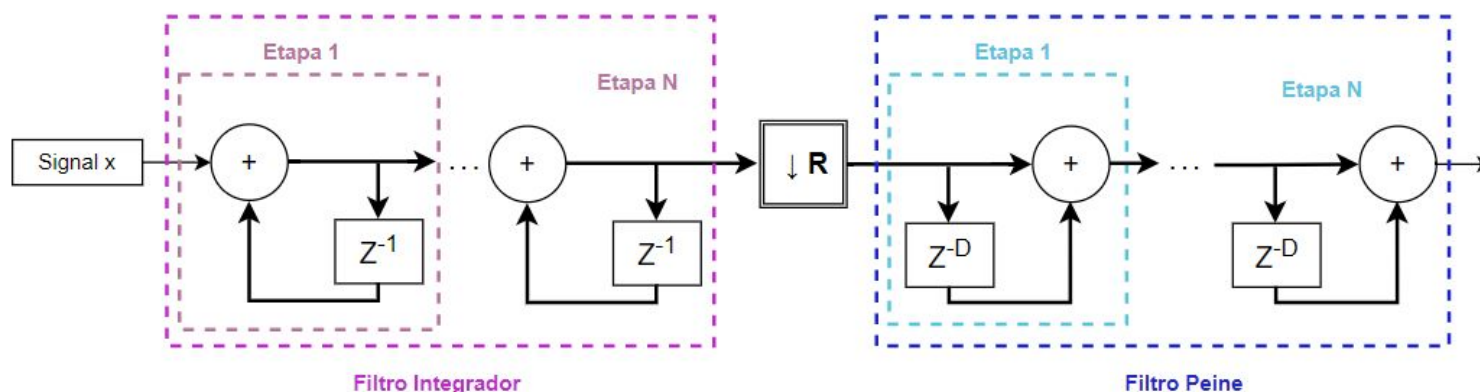


Figura 14. “Arquitectura del Filtro CIC”.



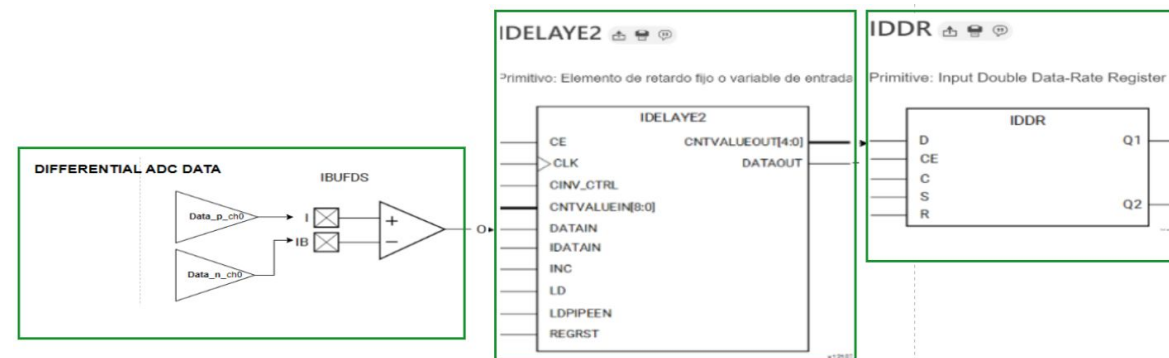
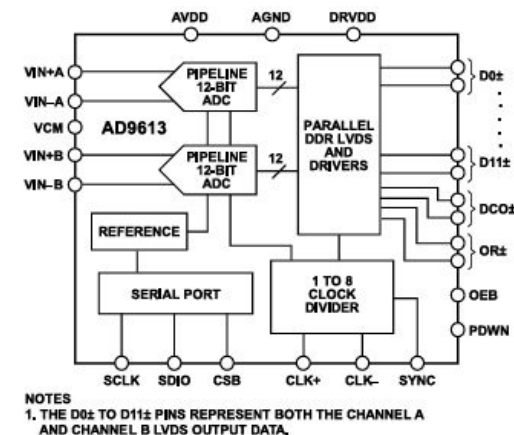
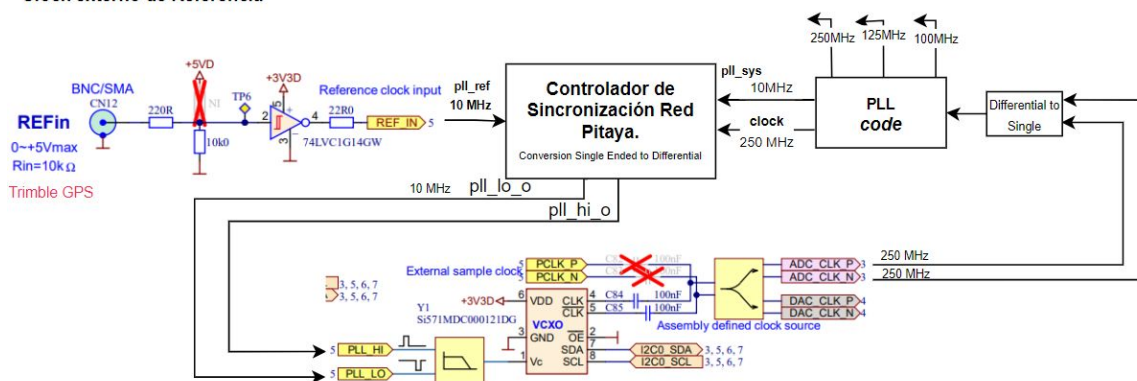
Figura 15. “Arquitectura del Filtro CIC”.

Prueba de simulación:

Clock: 10ns. Fs: 100 MHz. fm: 1 MHz. Dec: 20.
 Sample-dec= 100MHz/ 20 = **5 MHz**
 samples/cycle = 5 MHz / 1MHz = **5 samples/cycle**.



Sincronización y Configuración del ADC





3. Receptor Digital

Integración del Sistema Lógico con el Sistema de Procesamiento.

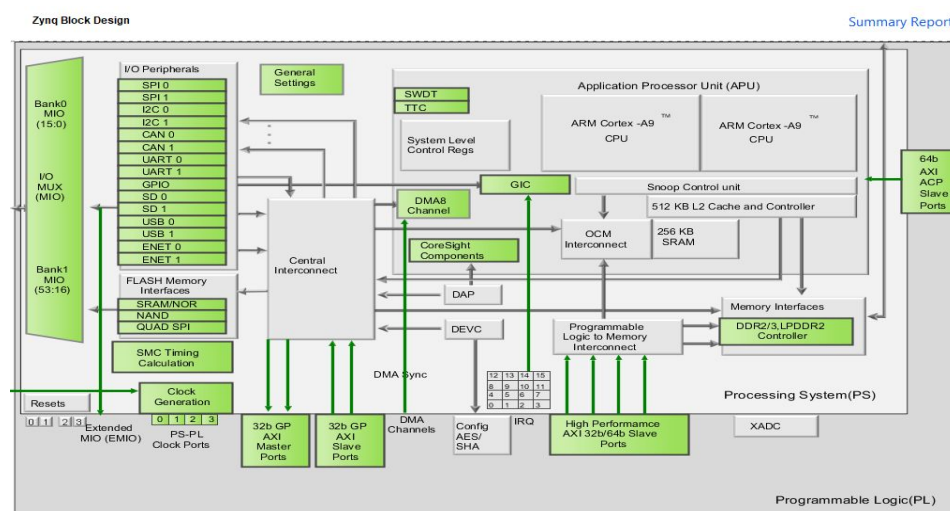
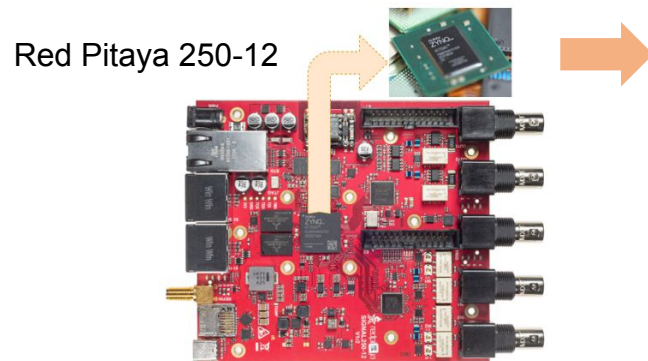


Figura 19. “Esquema del Dispositivo Zynq7020”.

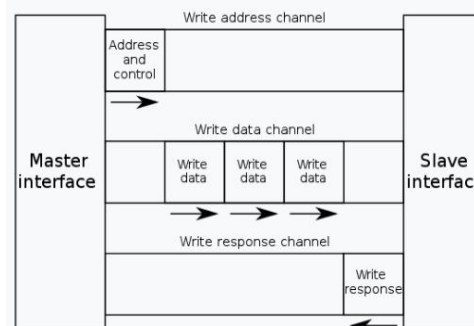
BUS AXI

Fig 1. AXI Signals

	Global Signals	Write Address	Write Data	Write Return	Read Address	Read Return
AXI LITE	ACLK	AWVALID	WVALID	BVALID	ARVALID	RVALID
	ARESETN	AWREADY	WREADY	BREADY	ARREADY	RREADY
AXI FULL		AWADDR	WDATA	BRESP	ARADDR	RRESP
		AWPROT	WSTRB		ARPROT	RDATA
		AWID	WLAST	BID	ARID	RID
		AWLEN			ARLEN	RLAST
		AWSIZE			ARSIZE	
		AWBURST			ARBURST	
		AWLOCK			ARLOCK	
		AWCACHE			ARCACHE	
		AWQOS			ARQOS	
		AWUSER	WUSER	BUSER	ARUSER	RUSER

Figura 20. “Señales AXI FULL y AXI LITE”.

Operación de Escritura



Operación de Lectura

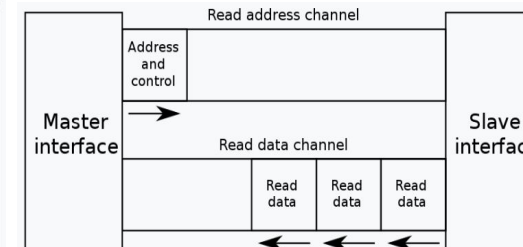


Figura 21. “Operación de Lectura y Escritura del Bus AXI”.



3. Receptor Digital

Integración PS y PL – FIFOs

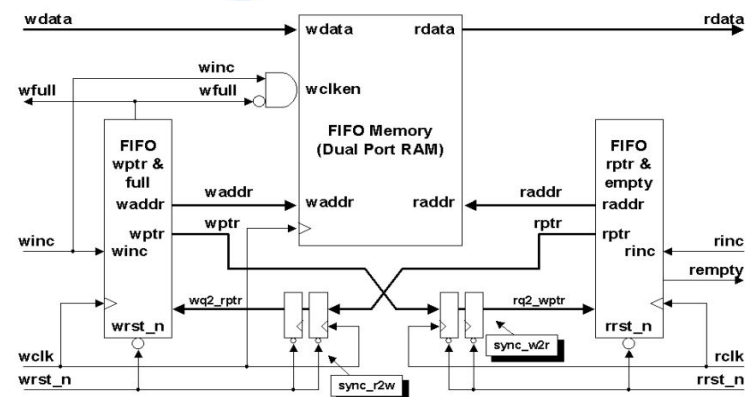


Figura 22. “Arquitectura de la FIFO Asíncrona”.

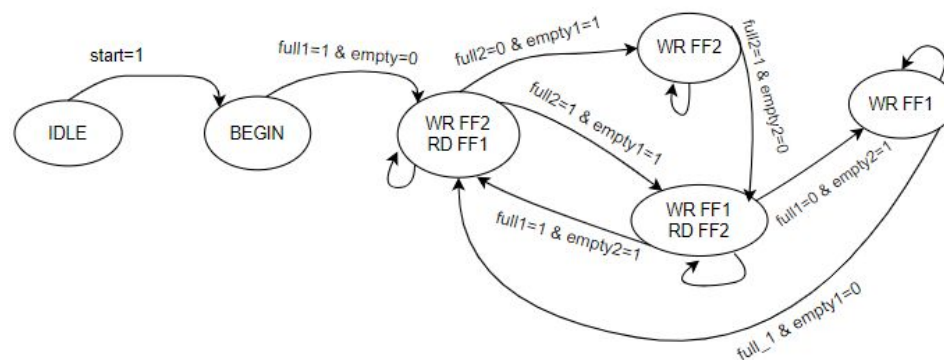


Figura 23. “Máquina de estado de 2 FIFOs para la Lectura y Escritura utilizando”.

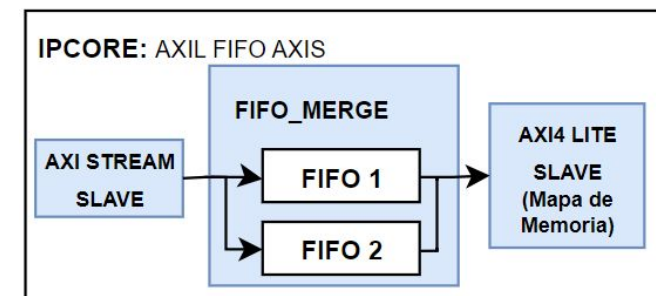


Figura 24. “Diagrama General de FIFO y Protocolos de Comunicación”.

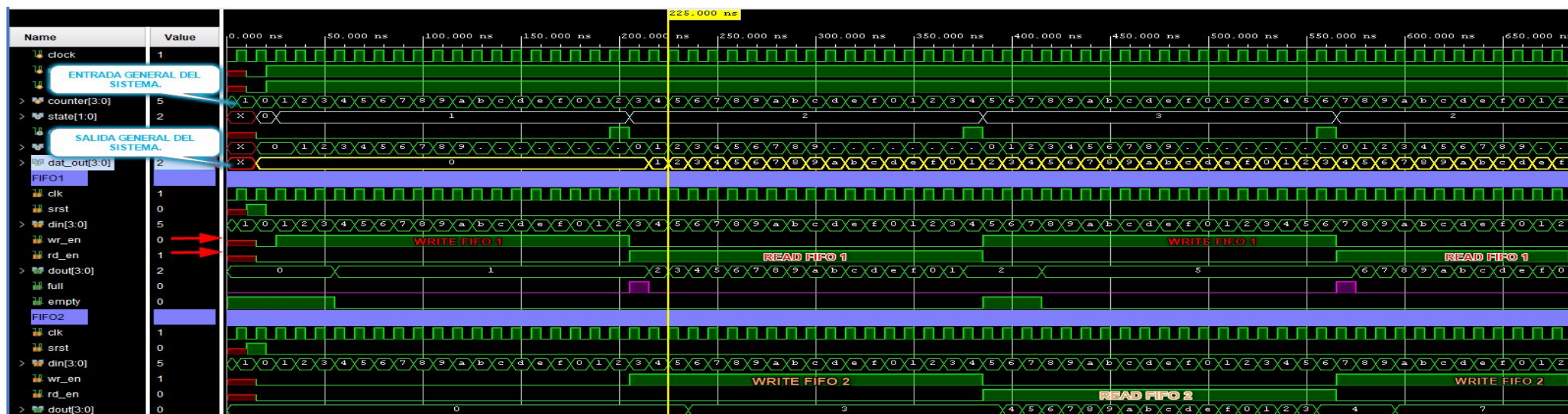


Figura 25. “Simulación del Comportamiento de Lectura y Escritura de Datos”.



3. Receptor Digital

Integración PS y PL – Memoria DDR3

- Es necesario activar la memoria externa al utilizar periféricos que utilizan drivers con algoritmos robustos. El Zynq 7020 no tiene una memoria RAM interna grande, solo posee 256 KB.
- Los parámetros de configuración de la memoria DDR3 es cerrado, por lo que se realizó un estudio al datasheet de la memoria.

Zynq-7000 SoC

On-Chip Memory

- On-chip boot ROM
- 256 KB on-chip RAM (OCM)
- Byte-parity support

Figura 26. “Capacidad de memoria RAM en el dispositivo”.

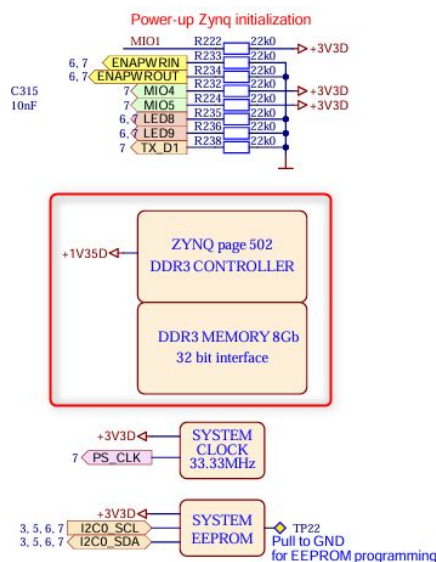


Figura 27. “Datasheet de Red Pitaya sobre DDR3”.

Name	Select	Description
DDR Controller Configuration		
Memory Type	DDR 3 (Low Voltage)	Type of memory interface. Refer to UG585 Zynq Technical Reference Manual (TRM)
Memory Part	Custom	Memory component part number. For unlisted parts choose "Custom". This will ena
Effective DRAM Bus Width	32 Bit	Data width of DDR interface, not including ECC data width. Refer to UG585 for a de
ECC	Disabled	Enables error correction code support. ECC is supported only for an effective data
Burst Length	8	Minimum number of data beats the controller should use when communicating witi
DDR	533.333333	Memory clock frequency. The allowed freq range is (200.000000 : 534.000000) MH
Internal Vref	0	Enables internal voltage reference source. Disable to use external Vref pins as volta
Juntion Temperature (C)	Normal (0-85)	Intended operating temperature range. Controls the DDR refresh interval.
Memory Part Configuration		
DRAM IC Bus Width	16 Bits	Width of individual DRAM components.
DRAM Device Capacity	4092 MBits (4GB)	Storage capacity of individual DRAM components.
Speed Bin	DDR3_1600K	Speed bin of the individual DRAM components.
Bank Address Count (Bits)	3	Number of bank address pins.
Row Address Count (Bits)	15	Number of row address pins.
Col Address Count (Bits)	10	Number of column address bits.
CAS Latency (cycles)	11	Column Access Strobe (CAS) latency in memory clock cycles. It refers to the amount
CAS Write Latency (cycles)	8	CAS write latency setting in memory clock cycles.
RAS to CAS Delay (cycles)	11	tRCD. Row address to column address delay time. It is the time required between t
Precharge Time (cycles)	11	tRP. Precharge Time is the number of clock cycles needed to terminate access to an
tRC (ns)	48.75	Row cycle time (ns)
tRASmin (ns)	35	Minimum number of memory clock cycles required between an Active and Precharg
tFAW (ns)	40	Determines the number of activates that can be performed within a certain window
Training/Board Details		
User Input		
DRAM Training		
Write leveling	1	Enables Write Leveling calibration, which adjusts write DQS relative to the DDR clod
Read gate	1	Enables Read Gate calibration, which adjusts valid RD DQS window.
Read data eye	1	Enables Read Data Eye calibration, which adjusts the read DQS to the center of read
DQS to Clock Delay (ns)		
DQS0	0.0	DQS to Clock delay [0] (ns). The DQS path delay subtracted from the clock path dela
DQS1	0.0	DQS to Clock delay [1] (ns). The DQS path delay subtracted from the clock path dela
DQS2	0.0	DQS to Clock delay [2] (ns). The DQS path delay subtracted from the clock path dela
DQS3	0.0	DQS to Clock delay [3] (ns). The DQS path delay subtracted from the clock path dela
Board Delay (ns)		
DQ[7:0]	0.25	Board delay [0] (ns). The midrange of data (DDR_DQ, DDR_DM) trace delays averag
DQ[15:8]	0.25	Board delay [1] (ns). The midrange of data (DDR_DQ, DDR_DM) trace delays averag
DQ[23:16]	0.25	Board delay [2] (ns). The midrange of data (DDR_DQ, DDR_DM) trace delays averag
DQ[31:24]	0.25	Board delay [3] (ns). The midrange of data (DDR_DQ, DDR_DM) trace delays averag
Enable Advanced options		
0		
Enable Advanced DDR QoS settings		
Read Priority		
DDR Read Port 0-Priority (L2 Cache)	<Select>	The read priority of DDR port 0. This sets an initial value for an aging down-counter

Figura 28. “Características específicas de la memoria DDR3”.



4. Conclusiones

- Se ha logrado la implementación de componentes esenciales del receptor digital, incluidos el NCO, el filtro FIR y el filtro CIC, los cuales son fundamentales para el procesamiento de señales digitales y su correcto funcionamiento es un indicador positivo del avance del proyecto.
- Se consiguió configurar exitosamente el ADC (Convertidor Analógico a Digital) de tipo diferencial en el FPGA, permitiendo así la conversión precisa de señales analógicas a digitales.
- El Zynq-7020 tiene recursos de memoria interna limitados, lo que puede dificultar el uso de periféricos con controladores complejos en el procesador, volviéndolos inutilizables en algunas aplicaciones. Por esta razón, la placa de desarrollo incluye una memoria RAM externa de 8 GB. Para utilizar esta memoria, fue necesario consultar la hoja de datos y realizar la configuración adecuada, lo cual permitió su correcto funcionamiento.
- Aunque se ha avanzado en múltiples áreas, se han encontrado algunos problemas relacionados con el bus AXI (Advanced eXtensible Interface), una interfaz de comunicación esencial para la transferencia de datos en el sistema, pero se está trabajando en la implementación de otra opción para el grabado de datos.



Organizado por:



IGP

Instituto
Geofísico
del Perú



PUCP



UNIVERSIDAD
DE PIURA

Con el auspicio de:



Convenio No 075-2021-FONDECYT



*Ciencia para **protegernos***
*Ciencia para **avanzar***